

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-168259

(43)Date of publication of application : 04.10.1983

(51)Int.Cl.

H01L 21/76

H01L 21/95

(21)Application number : 57-051862

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 30.03.1982

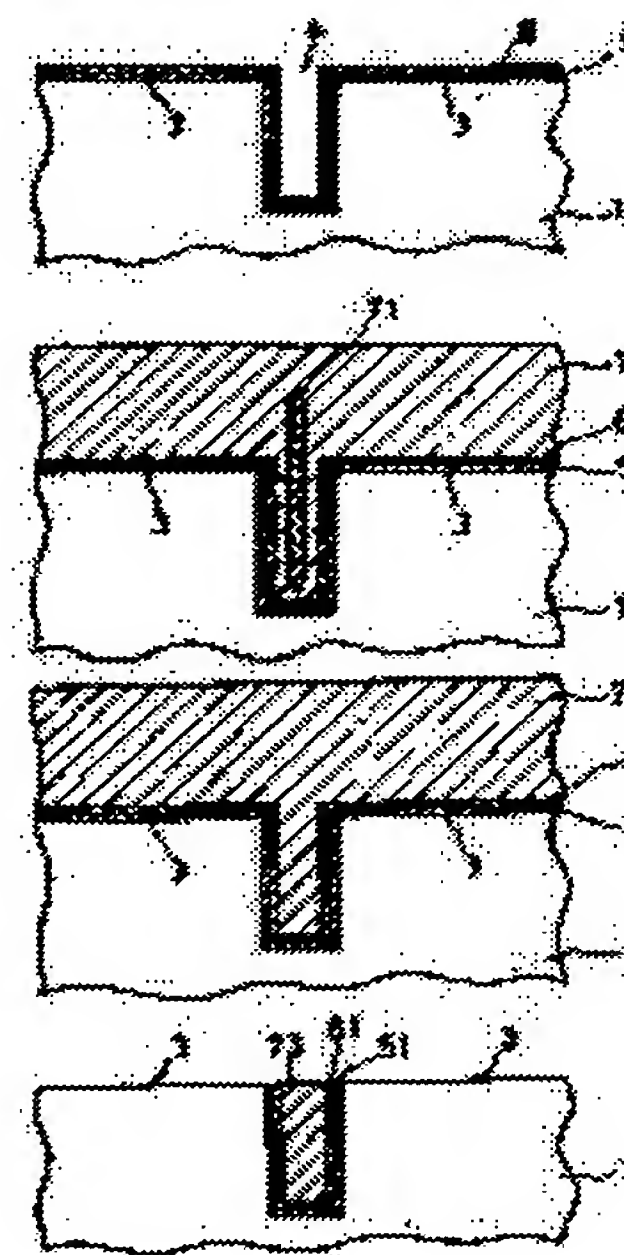
(72)Inventor : MORIE TAKASHI  
MINEGISHI KAZUSHIGE

## (54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To isolate elements with each other via a complete filmlike silicon oxidized film by thermally oxidizing an oxygen-added thin silicon film formed in the groove formed on the surface of a silicon substrate, thereby eliminating an air gap presented in the oxygen-added thin silicon film and improper filmlike part.

CONSTITUTION: An oxygen added thin silicon film 7 is thermally oxidized in dipped oxidative atmosphere to form a completely filmlike silicon oxidized film 72 having 2 of oxygen composition ratio to silicon. Air gap is compressed due to the volumetric expansion of the case that the film 72 is varied to obtain a completely filmlike property so that the volumetric expansion becomes small amount. Thus, no dislocation of crystal is produced in the silicon substrate 1. Then, the film 72 except the groove is removed by anisotropic etching, thereby forming a silicon oxidized film 73 only in the groove 4, and removing a silicon nitrided film 6 and a silicon oxidized film 5 on an element region 3. A silicon oxidized film 51, a silicon nitrided film 61 and a silicon oxidized film 73 are formed only in the inner surface of the groove 4, these insulators can isolate elements with each other, and the substrate 1 can be exposed on an element region 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—168259

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/76  
21/95

識別記号

庁内整理番号  
8122—5F  
7739—5F

⑭ 公開 昭和58年(1983)10月4日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ 半導体集積回路装置の製造方法

⑯ 特 願 昭57—51862

⑰ 出 願 昭57(1982)3月30日

⑱ 発 明 者 森江隆

武蔵野市緑町3丁目9番11号日  
本電信電話公社武蔵野電気通信

研究所内

⑲ 発 明 者 峯岸一茂

武蔵野市緑町3丁目9番11番日  
本電信電話公社武蔵野電気通信  
研究所内

⑳ 出 願 人 日本電信電話公社

㉑ 代 理 人 弁理士 山川政樹

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

シリコン基板の主面の素子間を分離すべき領域に溝を形成し、少くとも上記溝の内部を含むシリコン基板面上に、シリコンに対する酸素の組成比が2よりは小さい酸素添加シリコン薄膜を形成し、酸化雰囲気中の熱処理により上記組成比が2のシリコン酸化膜に交える工程を含み、上記シリコン酸化膜により素子間分離領域を作成することを特徴とする半導体集積回路装置の製造方法。

3. 発明の詳細な説明

本発明は半導体集積回路装置の製造方法に係り、特に半導体基板内に形成される各素子間を絶縁物により電気的に分離する方法に関するものである。

従来、微細な素子間の分離法として、半導体基板の表面層の所定領域に溝を形成し、この溝の内部を電気的絶縁物で充填する方法が知られている。この分離方法の概要を第1図および第2図に基い

て説明すると、まず、第1図に示すように、シリコン基板1上の素子間を分離すべき所定領域に、レジストなどをマスクにして例えば平行平板電極形プラズマエッチング装置などを用いたエッチング速度に方向性をもつエッチング法(以下、異方性エッチングという)により溝を形成し、次いでシリコン酸化膜2を化学的気相成長法(以下、OVD法と略記する)によつて堆積する。しかる後、第2図に示すように、シリコン酸化膜2を異方性エッチングにより除去することにより、上記溝の内部にのみシリコン酸化膜21を形成して素子間を分離する方法が行われている。

しかし、このような従来の分離方法においては、第3図に示すように、シリコン酸化膜2のOVD法における堆積の際溝の中央部に空隙および膜質の良くないシリコン酸化物22が形成されやすい。そして、第4図に示すように、上記異方性エッチングの際に該不良膜質部分が他の部分に比べて速くエッチングされるために、エッチング後の溝の中央部に深い切れこみが発生するという欠点がある。

つた。

本発明は、上記した従来の欠点を除去するため、シリコン基板の素子間を分離すべき領域に形成した溝に、シリコンに対する酸素の組成比が2よりは小さい酸素添加シリコン薄膜を堆積し、この酸素添加シリコン薄膜を熱酸化して上記組成比が2のシリコン酸化膜を形成することにより、上記酸素添加シリコン薄膜中に存在した空隙および膜質の不良な部分をなくして完全な膜質のシリコン酸化膜にて素子間を分離することができる半導体集積回路装置の製造方法を提供するものである。

以下、本発明の実施例を図面について説明する。

第5図乃至第9図は本発明による製造方法の一実施例を説明するための素子間分離部の一部工程断面図である。まず、第5図に示すように、導電形がP形でかつキャリア濃度にして $10^{14} \sim 10^{15} \text{ cm}^{-2}$ 程度のシリコン基板1上の素子領域3以外の素子間を分離すべき領域に溝4を形成する。このとき、溝4の形成に際してはシリコン基板1上にパターンニングしたレジストまたはシリコン酸化膜

スとしてシラン、 $\text{CO}_2$ 、 $\text{H}_2$ を用いてシリコンに対する酸素の組成比が2よりは小さい酸素添加シリコン薄膜( $\text{SiO}_x$ ,  $0 < x < 2$ )7を堆積する。このとき、酸素添加シリコン薄膜7の膜厚は溝4の幅の2倍程度にする。また、上記酸素添加シリコン薄膜7の堆積の際、その内部に空隙を含む不良膜質部分71が溝4の中央部に形成されることがある。

そして、第8図に示すように、酸素添加シリコン薄膜7を基板温度 $900 \sim 1100^\circ\text{C}$ のもとで湿った酸化雰囲気中にて熱酸化し、シリコンに対する酸素の組成比が2となる完全な膜質のシリコン酸化膜72を形成する。これにより、この熱酸化工程においては、酸素添加シリコン薄膜7がシリコン酸化膜72に変化する際の体積膨張のために不良膜質部分71中に存在した空隙は圧縮され、不良膜質部分71の膜質も向上して、完全な膜質のシリコン酸化膜72が得られる。また、上記の体積膨張はわずかになることから、シリコン基板1に応力を発生させることはなく、したがって、

等の耐エッチング薄膜をマスクにして平行平板電極形プラズマエッチング装置等を用いてシリコン基板1を異方性エッチングすればよい。例えば、上記シリコン基板1上にパターンニングした厚さ $1.5 \mu\text{m}$ 程度のAZ-1370からなるレジストをマスクとし、上記プラズマエッチング装置により圧力 $50 \sim 500 \text{ mTorr}$ のもとで反応ガス $\text{Cl}_2, \text{F}_2$ を用いてシリコン基板1を異方性エッチングすることにより、第6図に示す如き凹形状の溝4を形成できる。

次に、第6図に示すように、上記溝4の内部および素子領域3上にシリコン基板1の界面状態を改善するため、熱酸化によつて基板温度 $900 \sim 1100^\circ\text{C}$ のもとで厚さ $200 \sim 2000 \text{ \AA}$ 程度のシリコン酸化膜5を形成し、さらにその上にOVD法等によつて基板温度 $700 \sim 1000^\circ\text{C}$ 、反応ガスとしてシランとアンモニアを用いて厚さ $500 \sim 2000 \text{ \AA}$ 程度のシリコン窒化膜8を耐酸化性薄膜として形成する。次いで、第7図に示すように、OVD法により基板温度 $700 \sim 1000^\circ\text{C}$ 、反応ガ

結晶欠陥も生じなくなる。

次いで、例えば反応性スパッタエッチング装置を用い、圧力 $1 \sim 100 \text{ mTorr}$ 、反応ガスとして $\text{OF}_2$ と $\text{H}_2$ を用いた異方性エッチングにより第9図に示すように、溝部以外のシリコン酸化膜72を除去することにより、溝4の内部にのみシリコン酸化膜73を形成し、最後に素子領域3上のシリコン窒化膜8およびシリコン酸化膜5を除去することにより、溝4の内面にのみシリコン酸化膜51、シリコン窒化膜81およびシリコン酸化膜73が形成されてこれら絶縁物にて素子間を分離できるとともに、素子領域3にシリコン基板1を露出させることができる。

なお、上述した実施例では溝4の内部を含むシリコン基板面上にシリコン酸化膜5および耐酸化性薄膜としてのシリコン窒化膜8を積層して形成する場合について示したが、本発明はこれに限定されるものではなく、シリコン基板の界面状態に応じて上記シリコン酸化膜5、耐酸化性薄膜を適宜選択したり、またシリコン基板もn形のもを

用いたりすることなど種々の変更を行い得ることは勿論である。

以上説明したように本発明によれば、シリコン基板上の表面に形成した溝の内部に酸素添加シリコン薄膜を形成し、この酸素添加シリコン薄膜を熱酸化することにより、上記酸素添加シリコン薄膜の形成時に生じた溝中央部の空隙および不良膜質部分を除去し得るので、完全な膜質のシリコン酸化物のみで溝を充填できるとともに、平坦な分離領域を形成できる。また、上記熱酸化の際の酸素添加シリコン薄膜の体積膨張はわずかであるので、多結晶シリコンを熱酸化したときのようなシリコン基板内の結晶欠陥は生じなくなるなどの効果がある。

#### 4. 図面の簡単な説明

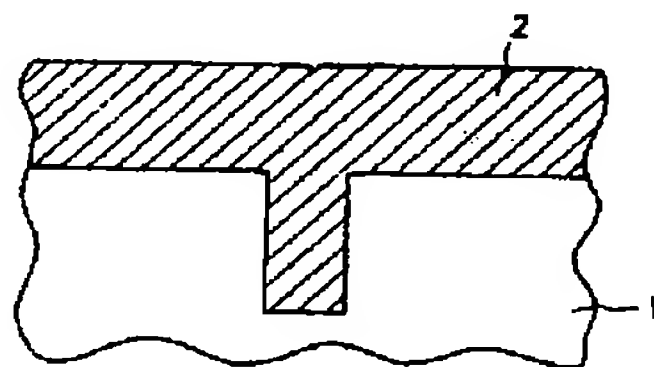
第1図乃至第4図は従来例を説明するための素子間分離部の一部工程断面図、第5図乃至第9図は本発明による製造方法の一実施例を説明するための素子間分離部の一部工程断面図である。

1・・・シリコン基板、3・・・素子領域、

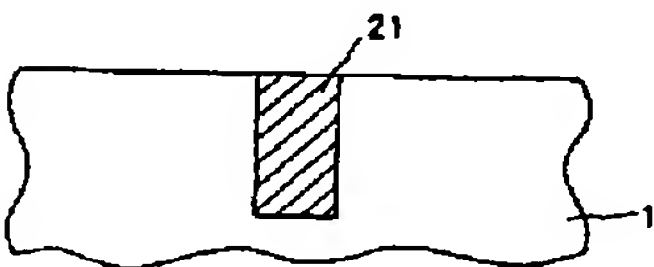
4・・・シリコン基板表面の溝、5、51・・・熱酸化によつて形成されたシリコン酸化物、6、61・・・シリコン酸化物、7・・・酸素添加シリコン薄膜、71・・・酸素添加シリコン薄膜7中に存在する空隙を含む不良膜質部分、72、73・・・酸素添加シリコン薄膜7を熱酸化して形成した完全なシリコン酸化物。

特許出願人 日本電信電話公社  
代理人 山 川 政 樹

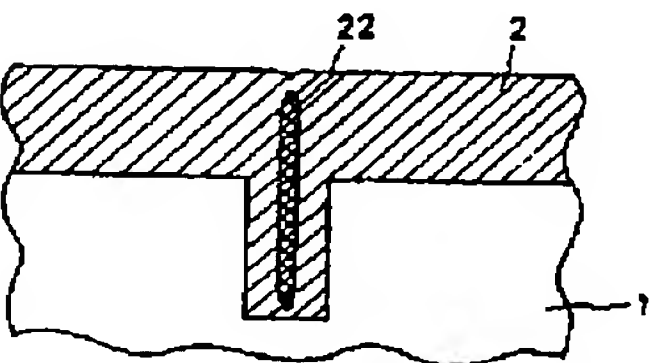
第1図



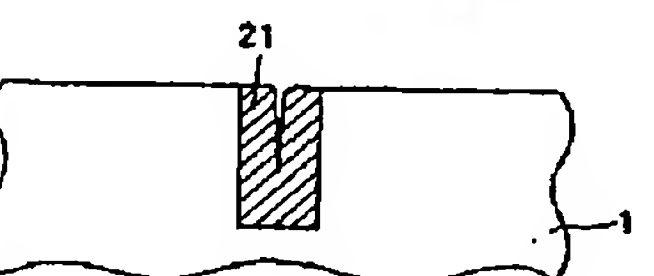
第2図



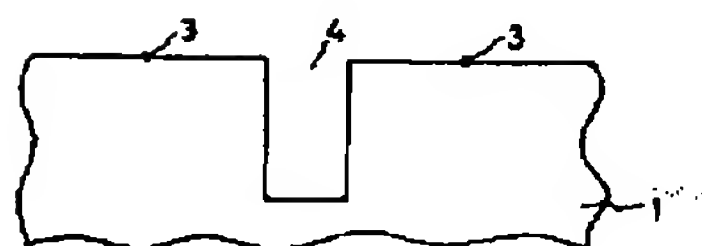
第3図



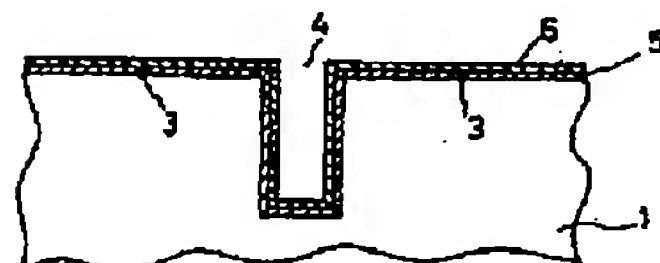
第4図



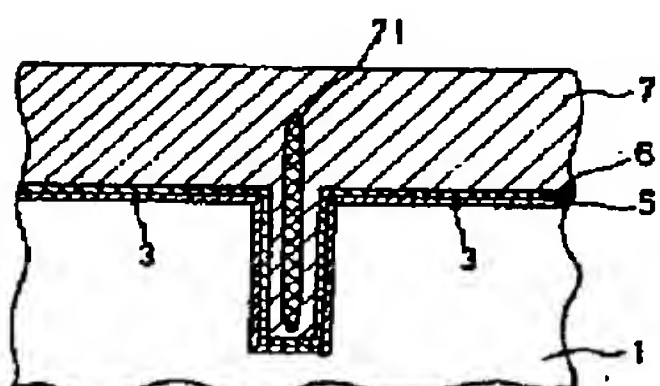
第5図



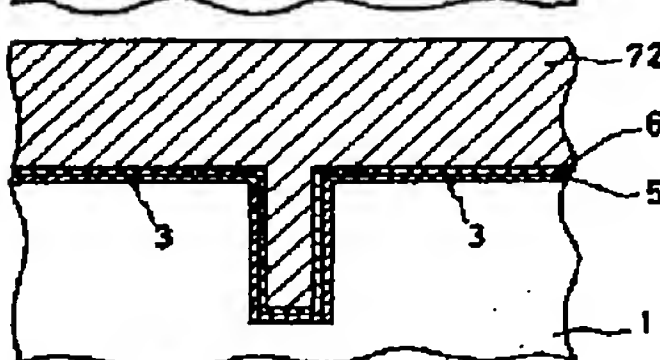
第6図



第7図



第8図



第9図

